Вступление

Компания Parallel Systems выпустила доступный материал для обучения новых пользователей возможностям САПР Allegro/OrCAD, будь то создание схем, моделирование или трассировка плат. Мы оценили его простоту для понимания и не могли не перевести на русский язык.

В то время как инструменты Cadence OrCAD и Allegro предназначены для решения самых сложных инженерных задач, здесь мы рассмотрим только самые основные вещи, следуя следующим правилам:

- Всё описанное можно будет выполнить в бесплатной версии программы OrCAD Lite, доступной для скачивания с сайта www.orcad.com
- Будут охвачены основные приемы работы в OrCAD Capture, PSpice и PCB Editor.
- Всё будет разобрано настолько просто, что любой пользователь, не имевший дела с продуктами OrCAD, сможет пройти всё до конца.
- Потребуется всего несколько часов, чтобы выполнить все этапы.
- Будет пройден типовой процесс проектирования, начиная с пустого листа схемы и закачивая готовой топологией.

Так что давайте начнем и убедимся, что нам удалось с этим справиться.

Если вы еще не установили OrCAD Lite, сделайте это сейчас, скачав его по ссылке:

http://www.orcad.com/resources/download-orcad-lite

Процесс инсталляции САПР займет не более 15 минут. Выберите полный вариант установки и типовые пути к корневым каталогам установки САПР, ничего не меняя.

Ниже приведена простая схема усилителя звука для наушников:



(Схема показана уже подготовленной для spice-моделирования, но при этом с разъемами, которые не участвуют в нем, но будут размещены на плате.)

Введение в редактор схем

В этой главе описано, как использовать OrCAD© Capture-PSpice© для создания схемы усилителя звука.

Создание проекта

Начнем с запуска OrCAD Capture, Allegro Capture CIS или OrCAD Capture CIS Lite. Независимо от того, пользуетесь ли вы пробной версией или нет, вы сможете выполнить поставленную задачу.

В открывшемся приложении Capture используем команду File->New->Project..., чтобы создать новый проект, выберем Project type – PSpice Analog Mixed A/D, чтобы в дальнейшем иметь возможность промоделировать схему. Укажите папку для проекта и его имя, например, Headphone (наушники).

| New Project | × |
|---|--|
| <u>N</u> ame | ОК |
| headphone | Cancel |
| Create a New Project Using | <u>H</u> elp |
| PSpice Analog or Mixed A/D PC Board Wizard PC Board Wizard Programmable Logic Wizard Note a | Tip for New Users Create a new Analog or Mixed A/D project. The new project may be blank or copied from an existing template. |
| Location C:\Users\Bam MacDuck\Desktop\Demos\Headpho | Examples And AppNotes |

Затем в следующем окне можно выбрать шаблон проекта empty.obj.

| Create PSpice Project | t | |
|---------------------------------------|-----|--------|
| Create based upon an existing project | | OK |
| empty.opj | × (| Browse |
| Crasta a blank project | [| Cancel |
| Ureate a blank project | | Help |

При наличии у вас разных вариантов программы, которые можно использовать для дальнейшей симуляции, выберем самый простой вариант, **OrCAD Lite**:

| Cadence Product Choices | |
|--|--------------|
| Please select the suite from which to check out the PSpice A | A/D feature: |
| Allegro PSpice Simulator | |
| UrCAD Lite - PSpice | ОК |
| | Cancel |
| | |
| < | > |
| | |

Добавление библиотек к проекту

Начнем работу со схемой с выбора и добавления библиотек, для этого раскроем последовательно закладки в дереве проекта и найдем лист **Page1**, откроем его двойным щелчком ЛКМ и выберем команду **Place->Part** из меню, либо из панели инструментов, и затем нажмем кнопку добавления необходимых библиотек.

| Place Part | д ж х |
|--|---------------------|
| <u>P</u> art | |
| ADC10break | |
| Part <u>L</u> ist: | T |
| ADC10break ADC12break ADC8break Bbreak Bbreak_TOM3 Cbreak DAC10break DAC12break | < |
| Libraries: | d m k |
| ANL_MISC ANLG_DEV APEX APEX_PWM BATTERY BIPOLAR | And Library (Alt+A) |

Когда откроется окно проводника для выбора библиотек, перейдем в папку C:\Cadence\SPB_17.2, затем tools\Capture\library\PSpice, где будут находиться библиотеки со spice-моделями, добавим их все, выделив первую "1_shot" и с shift-ом последнюю "Zetex" (выделятся все между ними), и нажмем Открыть.

| | | Browse File | | × |
|----------------|---------------|-------------------------------------|------------------|---------|
| Папка: |) pspice | v | G 🤌 📂 🖽 - | |
| C | Имя | ^ | Дата изменения | Тип ^ |
| 2 | ssr.olb | | 14.02.2012 17:19 | Файл ' |
| Недавние места | st_opamp. | olb | 17.08.2009 17:39 | Файл ' |
| - | swit_rav.ol | b | 01.05.2016 20:37 | Файл ' |
| | 🔣 swit_reg.ol | b | 01.05.2016 21:17 | Файл ' |
| Рабочий стол | synch_cntr | l.olb | 01.05.2016 21:17 | Файл ' |
| F | tex_inst.olb |) | 01.05.2016 21:16 | Файл ' |
| | Thermistor | _vishay.olb | 24.09.2015 17:35 | Файл ' |
| Библиотеки | thyristr.olb | | 01.05.2016 21:16 | Файл ' |
| | tline.olb | | 17.08.2009 17:41 | Файл ' |
| | tyco_elec.c | lb | 01.05.2016 20:35 | Файл ' |
| Этот компьютер | xtal.olb | | 01.05.2016 20:37 | Файл ' |
| 0 | zetex.olb | | 01.05.2016 21:16 | Файл ' |
| | | | | ~ |
| Сеть | < | | | > |
| | Имя файла: | "zetex.olb" "1_shot.olb" "74ac.olb" | "74act.olb' 🗸 | Открыть |
| | Тип файлов: | Capture Library(*.olb) | ~ | Отмена |
| | | 🗌 Только чтение | | |

(Мы указали пути к библиотекам, которые используются по умолчанию при установке программ, а если вы меняли их, следует ориентироваться на новые корневые каталоги.)

Размещение символов

Давайте используем в качестве основы готовую схему, которую мы приводили выше, и нарисуем собственную в схемном редакторе Capture. Конечно же, точное размещение элементов не требуется, но следите за взаимным подключением компонентов, иначе вы не получите те же результаты, что у нас. После того, как были добавлены библиотеки, расположите символ **POT** из библиотеки **Breakout**. Для этого в меню **Place->Part** в окне **Part** можно написать **POT**, что позволит перейти к этому компоненту в списке. Следите за тем, чтобы в списке ниже была выбрана необходимая библиотека (её имя должно иметь синий фон). Когда символ выбран для размещения, его можно поворачивать с помощью клавиши **R** или команды **Rotate** из меню, вызываемого нажатием правой кнопки мыши (**ПКМ**). Разместите все переменные резисторы, а затем прервите команду с помощью нажатия **Esc** или **ПКМ->End Mode**.

Двойным нажатием на символ мы откроем таблицу с его свойствами и поменяем значение **Value** с первоначального **1k** на **50k**. Либо можно выделить сам параметр, два раза нажав на текст **1k**, поменять его значение на **50k** и сохранить изменения нажатием **OK**. Текст и символы на схеме можно перемещать, выполнив выделение одиночным нажатием левой кнопки мыши (**ЛКМ**), а затем перетягивая их на нужное место. Сохраним наши изменения, используя команду **File->Save**.

Теперь разместим подобным же образом обычные резисторы, используя символ **R** из библиотеки **Analog**. Резисторы можно размещать, накладывая концы их выводов друг на друга, тогда они будут сразу же соединяться, и вам останется растащить их на нужное расстояние. В общем случае, можно поставить несколько резисторов, добавить им необходимые номиналы, а остальные, такие же, ставить, используя копирование. Для этого выделите символ и потяните его с зажатым **Ctrl**. В итоге у вас должно получиться что-то наподобие этого:



Теперь пришла очередь конденсаторов, **C1...C3**. Поскольку речь касается моделирования в PSpice, мы использовали неполяризованные конденсаторы, в реальной плате с большими номиналами вам могут потребоваться электролиты, но сейчас это не играет роли. Используйте символы **C** из библиотеки **Analog**, укажите у них необходимые номиналы. В случае, если вы указывали позиционные обозначения вручную, они будут подчеркнуты. Позже, после проведения перенумерации, подчеркивание пропадет. Если понадобится, для соединения выводов используйте команду **Place Wire**. Её можно вызвать нажатием клавиши **W**, либо из меню **Place->Wire**, либо нажатием кнопки на панели инструментов. С помощью нажатия **ЛКМ** начинаем вести цепь из конца вывода компонента, прокладывая удобным вам путем опять-таки нажатием **ЛКМ**. Следите за местами пересечения проводников, в случае подключения их друг к другу там должна появляться соединительная точка.



Продолжаем размещать следующие элементы схемы. При размещении транзистора **BC212 PNP**, можно выполнить его зеркальное отражение через нажатие **ПКМ->Mirror Vertically**. Оба компонента, **BC182BP** и **BC212BP** находятся в библиотеке **Zetex**.



Дорисовываем правую часть схемы, используя транзисторы **TIP41** и **TIP42** из **Pwrbjt** и резисторы из библиотеки **Analog**. Следим за расположением эмиттера у транзисторов, при необходимости пользуемся командами по зеркальному отражению, которые вызываются из контекстного меню при нажатии **ПКМ**.



Пока всем соединениям, которые вы рисовали на схеме, присваивались названия автоматически, в формате **N** плюс индивидуальный номер. Что бы было легче ориентироваться в дальнейшем, можно задать цепям другие имена. Для этого необходимо воспользоваться командой **Place->Net Alias** (можно вызвать её нажатием клавиши **N**). Окно команды выглядит следующим образом:

| Pla | ice Net Alias | |
|----------------------------|---|-------------------------|
| <u>A</u> lias: | | OK |
| MID | | Cancel |
| | | Help |
| Color Default | Rotation 0 0 0 90 0 | <u>1</u> 80 <u>2</u> 70 |
| Font Change Use Default | Arial 7 (default) | |
| NetGroup | | |
| NetGroup Aware Aliases | | |

Сверху окна указывается новое имя цепи, при желании можно указать цвет и ориентацию названия. Введем **MID** и нажмем **OK**. Новое имя будет прикреплено к курсору, пока вы не назначите его какойлибо цепи. Следует помнить следующие нюансы: если название цепи заканчивается на номер, то при расстановке его на схеме, будет происходить автоматическое увеличение номера (после A0 будет присвоено A1 и так далее), эту опцию никак нельзя отключить. Так же надо помнить, что, если двум отдельным цепям на одном листе вы присвоите одно название, то в дальнейшем они будут считаться электрически соединенными, даже если они не связаны линией.



Назначив название **MID** цепи на стыке двух выходных транзисторов справа, завершим нашу схему следующим образом: добавим символ **VSIN** из библиотеки **Source** (**V1** на следующем рисунке), и зададим ему параметры **VOFF=0**, **VAMPL=10m**, **FREQ=1k** и **AC=1**. Это будет обозначать источник синусоидального напряжения с амплитудой 10 мВ и частотой 1 кГц для моделирования переходных процессов, а также источник напряжения 1 В для моделирования диапазонов переменных источников (AC Sweep), о которых будет рассказано далее. Добавляем символ **VDC** из библиотеки **Source** (**V2** на рисунке). Заменим ему значение **0Vdc** на **20**, pspice-симулятор «знает», что это величина постоянного напряжения **Vdc** или **V** можно пренебречь.

Используем команду **Place->Ground** для размещения символа земли, который необходим в pspice--моделировании для задания **0** в схеме. Он находится в библиотеке **Capsym**.



После этого назначим имена цепям **IN**, **OUT** и **VPP**, используя команду **Place->Net Alias**, как указано на рисунке. Во время размещения вы можете нажимать **Ctrl+E** для входа в меню команды и задания новых имен.



Выполним после этого перенумерацию компонентов, чтобы всё было по порядку сверху-вниз. Для этого выделим наш проект headphone.dsn в "дереве" проекта и запустим команду Tools->Annotate... с настройками, как на следующем рисунке. Сначала сбросим все значения, используя пункт Reset part reference to "?", затем пронумеруем, переключившись на Incremental reference update с опцией Annotate type – Top-Bottom. На этом мы пока закончим и сохраним проект, File->Save.

| 3 | | А | nnotate | | | × |
|--|--|--------------------|------------|------------|----------------------|------------------|
| Packaging | PCB Editor Reuse | Layout Reuse | | | | |
| Refdes | control required | | | | | |
| Scope | | | | | | |
| Upda | te entire design | | | | | |
| | te selection | | | | | |
| Action | | | | | | |
| | mental reference up | date 2 | | | | |
| Rese | t part references to ' | ?" <u>1</u> | | | | |
| Add | ntersheet Reference | s | | | | |
| O Delet | e Intersheet Referen | ices | | | | |
| Mode | | | Annotation | Type To | p-Bottom | ~ |
| Upda Upda | ate Occurrences ate Instances (Prefer | red) | | | | |
| Physical | Packaging | | | | | |
| Combine | d property string: | | Additi | onally Fro | om INI : | |
| {Value} | Source Package} | | | | | |
| Reset n | eference numbers to | begin at 1 in eac | h page | | | |
| Annotat | e as per PM page or | dering | O Annota | ate as pe | r page ordering in t | the title blocks |
| - | Do not change the p | age number | | | | |
| | non-primitive parts | | | | | |
| Preserv | e designator | | | | | |
| Preserv | e User Assigned Vali | d References | | | | |
| Auto-pa | ickage Heterogeneo | us Part Using Firs | t Match | | | |
| | | | | OK | Отмена | Справка |

| 18 10 10 18 10 10 18 10 <u>10</u> | | | | | | | | | | VPP | <u> </u> | |
|-----------------------------------|------------|--------------------------------------|------------|-------|-------------------------------------|--|--|-------------|--|-----|----------|------|
| | R1 50K | | | | | | | | | | | |
| * | | | | AAA | ≩ R8 ≥ 3k3 | | R13 1k8 | | | | | |
| | ET = 0.5 | | | | | | Q5 | | | | | |
| 0 0 121 0 0 221 0 0 22 | | | | C5 | | | A. | TIP41 | | | | |
| | R2 | < | R6 | 47u | ¢ R9 | | | | | | | |
| C1 | 22k | C3 | 2k2 | Ì | > 3k3 | K | BC212AB/7TV | R14 ≤ 10 | | | | |
| 47u | | 47u | | | | Q4 | 00212817217 | | | | | - 20 |
| | R3 100k | | | | > R10 > 560 | | МБ | | C7 | | | |
| C2 | | | BC212A | P/ZTX | | 10 10 200 10 10 ⁻ | | | 2200u | | | |
| 0.47u | R4 | Q1 | | C4 | Q3 | | | | 16 | R17 | | |
| | 120k | | | 10p | × | BC182BP/ZTX | | | | | | |
| V1 VOFF = 0 | | | | | BC182BP/ZTX | | Q6 | TIP42 | | | | |
| FREQ = 1k AC = 1 | DE | | D 7 | | > D11 | > p10 | | | | | | |
| Ş | 220 | Š | 2k2 | | ^{>} 100 ^{>} | > 1k8 | | | 5 1u | | | |
| | | 2 2 22 22 2 2 2 2 2 2 2 2 2 2 2 2 | | | | 17 De 1845 (B. 18) 28 De 1848 (B. 18) | 1.5 (5 (5 (5)) (5 (5)) (5 (5 (5 (5 (5 (5 (5 (5 (5 (5 (5 (5 (5 (| | 10 1000 10 10 1000 10 10 1000 10 10 1000 10 | | | |
| | | | | | | | | | | | | |
| - 0 | | | | | | | | | | | | |