

ALINT-PRO™ | Проверка правил проекта

Статическая верификация проекта

ALINT-PRO™ - это решение для статической проверки дизайна для проектов VHDL, Verilog и SystemVerilog, которое позволяет выявить критические проблемы проектирования на ранних этапах без использования моделирования. Запуск ALINT-PRO до этапов RTL-моделирования и логического синтеза предотвращает распространение проблем проектирования на последующие этапы процесса и уменьшает количество итераций, необходимых для завершения проектирования.

ALINT-PRO™ охватывает широкий спектр проблем проектирования, включая несоответствия моделирования RTL и пост-синтеза, проверки FSM, анализ деревьев синхронизации и сброса, пересечения доменов синхронизации и сброса, разбиение проекта, DFT, кодирование для повторного использования и переносимости и многое другое.

Проверенные отраслевые рекомендации

ALINT-PRO поддерживает проверки правил, основанные на рекомендациях STARC (Центр академических исследований в области полупроводниковых технологий) и RMM (Руководство по методике повторного использования), чтобы использовать лучшие практики при разработке дизайна, используемые крупными полупроводниковыми компаниями.

Для конструкций, важных для безопасности, ALDEC предлагает плагин для правил DO-254, ориентированный на стабильность конструкции, и рекомендуемый для обеспечения соответствия конструкции стандарту DO-254.



Плагины ALDEC Basic и Premium объединяют знания клиентов ALDEC, а также собственных специалистов по проектированию и могут дополнять вышеуказанные плагины, в то время как плагин ALDEC SV предназначен для новых разновидностей ошибок RTL, характерных для подмножеств проектирования SystemVerilog, а ALINT-PRO содержит мощный редактор политик, позволяющий быстро создать эффективную конфигурацию правил на основе потребностей проекта.

CDC и RDC верификация

ALINT-PRO имеет дополнительный плагин для правил ALDEC_CDC, который обеспечивает полную проверку пересечений в доменах тактовых импульсов и доменах сброса (CDC, RDC) с анализом RTL в одном продукте. Он расширяет верификацию с помощью динамических проверок, основанных на эмуляции утверждений и метастабильности, и предлагает дополнительные возможности отладки, такие как схематическое выделение доменов синхронизации и сброса, а также просмотр обнаруженных пересечений доменов и идентифицированных синхронизаторов.

DFT верификация

ALINT-PRO поддерживает специальный набор правил для проверки управляемости синхронизации и сброса с внешних портов на этапе проектирования RTL, чтобы упростить тестирование проекта на последующих этапах проектирования.

Основные особенности и преимущества

- **Static Design Verification** – выполняет анализ на основе источников RTL и SDC, не требуя сложной настройки
- **Поддержка DO-254** – включает набор правил для критически важных для безопасности конструкций, для достижения соответствия требованиям DO-254
- **Схематическая визуализация** – для эффективного анализа проблем, представления нарушенных путей в графической форме и выделения тактовых областей
- **CDC и RDC верификация** – получение проверки RTL и CDC / RDC в одном продукте с плагином правил ALDEC_CDC, с обеспечением высокой эффективности обработки
- **DFT верификация** – проверка управляемости синхронизации и сброса с внешних портов на этапе проектирования RTL
- **Правила дизайна** – простая настройка дизайна (повторное использование существующих ограничений) облегчает создание начальных проектных правил
- **Расширения правил дизайна** – повышение качество анализа путем аккуратной проверки IP-блоков, поведенческих модулей и «черных ящиков»



Поддерживаемые стандарты	
Verilog® IEEE 1384 (1995 и 2001)	•
SystemVerilog® IEEE 1800 (2005 и 2009)	•
VHDL IEEE 1076 (1987, 1993, 2002 и 2008)	•
Библиотеки правил	
ALDEC BASIC (VHDL и Verilog)	•
ALDEC PREMIUM (VHDL и Verilog)	ALDEC PREMIUM Option
ALDEC SV (SystemVerilog Design subset)	ALDEC SV Option
STARC (VHDL и Verilog)	STARC VHDL/VLOG Option
DO254 (VHDL и Verilog)	DO254 VHDL/VLOG Option
ALDEC CDC (VHDL, Verilog и SystemVerilog)	ALDEC CDC Option
Механизмы ядра	
Авто-детектирование клоков и сбросов	•
Экстракция доменов синхронизации и групп асинхронных клоков	•
Вставка метастабильности для симуляции с учетом CDC	ALDEC CDC Option
Утверждения CDC и Заявления о покрытии для пересечений	ALDEC CDC Option
Экстракция доменов сброса и верификация RDC	ALDEC CDC Option
Чтение и генерация правил SDS	•
Поддержка библиотечных компонентов поставщиков FPGA (Xilinx, Intel, Microsemi, Lattice)	•
Экстракция машин конечных состояний из RTL	•
Предоставление API для редакторов HDL	•
Проверки DFT	STARC VHDL/VLOG Option
Возможности отладки	
Просмотр схем RTL и схем управления	Schematics Option
Просмотр клоков и сбросов	•
Просмотр библиотеки и просмотр разработки	•
Просмотр нарушений и управление задачами	•
Экспорт отчетов о нарушениях (TXT, CSV, HTML, PDF)	•
Просмотр CDC и просмотр RDC	ALDEC CDC Option
Схема CDC	ALDEC CDC + Schematics Option
Дизайн Менеджмент	
Менеджер проекта	•
Просмотрщик файлов	•
Менеджер потока	•
Менеджер библиотеки	•
Редактор политик	•
Редактор скрытых маркеров ошибок	•
Проекты Active-HDL, Riviera-PRO, ALINT, Vivado, ISE и Quartus	•
Поддерживаемые платформы	
Windows® 10/8.1/8/7 32/64 bit	•
Linux 32/64 bit	•

Настройка правил дизайна

ALINT-PRO может читать существующие файлы правил SDC™, ранее созданные для инструментов синтеза и статического анализа синхронизации. Инструмент также может автоматически генерировать исходные шаблоны SDC на основе топологического анализа, включая определения основных и сгенерированных тактовых импульсов, задержек ввода-вывода и асинхронных тактовых групп.

Расширение правил дизайна

ALINT-PRO предлагает пользовательское расширение для правил проектирования, простой для чтения и понятный формат правил на уровне блока, для описания несинтезируемых поведенческих модулей, IP-блоков с защищенным кодом, ячеек библиотек поставщика и т.д. Использование правил для описания интерфейса модуля заменяет черные ящики в сетевом списке эквивалентными моделями, которые обеспечивают точный анализ ошибок. Также можно описать намерения дизайнера по элементам управления сбросом, настраиваемым ячейкам синхронизации и безопасным путям CDC, включая пути с квазистатическими источниками.

Среда проектирования

ALINT-PRO предоставляет тесно интегрированную структуру GUI с интуитивно понятным интерфейсом и эффективными средствами анализа проблем. Фреймворк включает в себя множество представлений:

Schematic Viewer – предлагает графическое представление полностью синтезированных сетевых списков, а также доменов синхронизации и подсветку нарушенных путей. Схемы управления графически демонстрируют отношения между клоками и сбросами. CDC Schematics - это специализированная визуализация для пересечений и синхронизаторов доменов;

Clocks and Resets Viewer – показывает цепи синхронизации и сброса со всеми контактами и цепями, через которые они распространяются;

Violation Viewer – включает фильтрацию нарушений по различным критериям, добавление скрытых маркеров ошибки, перекрестное зондирование в HDL и Schematic, а также предоставляет доступ к сводным данным.

Проекты Active-HDL™, Riviera-PRO™, Vivado™ и Quartus™ можно автоматически преобразовывать в формат ALINT-PRO, что значительно сокращает время настройки проекта.