

Решение проблем целостности сигналов и питаний при разработке интерфейсов памяти на основе DDR3/DDR4

АЛЕКСАНДР АКУЛИН, akulin@pcbtech.ru

Одна из сложнейших проблем при разработке интерфейсов памяти на печатной плате – это выполнение требований по задержкам, при этом с учетом флюктуаций на шинах земли и питания, возникающих при одновременном переключении сигналов. Инженеры по целостности сигналов (signal integrity – SI) все чаще настаивают на проведении анализа с учетом целостности питаний (power aware или power integrity – PI), чтобы при анализе высокоскоростных интерфейсов памяти учитывались эффекты как распространения сигналов, так и неидеальности земель/питаний. Данная статья описывает то, как современные инструменты моделирования могут быть использованы для решения проблем целостности сигналов с учетом питаний, при моделировании и анализе входов/выходов микросхем, а также соединений на печатной плате.

ВВЕДЕНИЕ

Интерфейсы памяти заставляют инженеров переходить с логического уровня (внутренняя логика работы микросхем) на физический уровень (подложка микросхемы, топология печатной платы, система из нескольких дочерних и материнских плат). Высокие скорости DDR3 и DDR4/LPDDR4 достигаются за счет использования мультигигабитных параллельных шин с размахом напряжения существенно меньшим, чем в предыдущих поколениях интерфейсов памяти. Скорость передачи данных, которую мы видим сегодня в DDR4, достигает величин, которые мы изначально имели в PCI Express (PCIe), на 2133 Mbps и 4166 Mbps. Структуры входов/выходов DDR4 похожи на то, что мы ранее имели в интерфейсах SerDes. Хотя передача сигналов по-прежнему является несимметричной, шины данных все более приближаются к топологиям точка-точка, и все более распространенным становится добавление корректирующих звеньев на выходе контроллера (feed-forward equalization – FFE, или пре/пост – эмфазис). Если посмотреть на цепи питания микросхем, то мы увидим, что системы LPDDR4 используют очень низковольтные шины данных (1,2 В на LPDDR3 и 300 мВ на LPDDR4), чтобы обеспечить работу этих интерфейсов в мобильных устройствах, таких как смартфоны, планшеты и «Интернет вещей». Эти новые вызовы

в проектировании интерфейсов памяти не оставляют разработчику права на ошибку при разработке современных устройств.

Разработка интерфейсов памяти всегда связана с анализом диаграмм обмена. Время переключения каждого бита данных должно соответствовать его стробирующему сигналу таким образом, чтобы данные могли быть корректно защелкнуты как на переднем, так и на заднем фронте строга, т. к. мы имеем дело с «двойной частотой передачи» (double data rate – DDR). Увеличение частоты передачи до 2 Гбит/с и более делает запасы по времени, связанные с передним и задним фронтом строга, очень маленькими (см. рис. 1).

Но сложнейшая задача на сегодня состоит в том, чтобы аккуратно измерить временные параметры, при этом учитывая флюктуации на шинах земли и питания, происходящие в момент одновременного переключения нескольких сигналов. В наихудшем случае, когда одновременно переключаются 64 бита данных, большие мгновенные изменения в токе, проте-

кающем через систему питания, вызывают колебания в уровне напряжения питания микросхем, которые влияют на временные зазоры переключающихся сигналов (см. рис. 2). Эти вариации в диаграммах переключения сигналов называют «push-out», «pull-in» («выталкивание» и «затягивание»). Если время между установлением данных и фронтом строга слишком большое, могут наступить метастабильные условия, которые могут привести к нарушению целостности данных.

Описание характеристик эффекта шумов одновременного переключения (simultaneous switching noise – SSN) требует проведения системного анализа во временной области, с учетом передающих и принимающих буферов, а также всей топологии соединений между ними. В отличие от моделирования на основе SPICE, реальные схемы не могут быть проанализированы с использованием глобальной «земли» (узла «0»), и все сигналы соотносятся с их локальными выводами земли/питания. Поэтому в нашу модель должна быть включена не только собственно

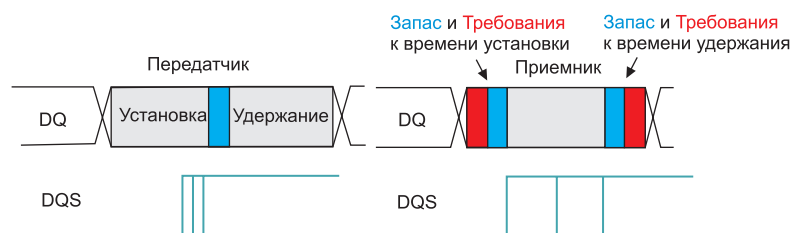


Рис. 1. Временная диаграмма синхронизации данных, запас времени установки и удержания

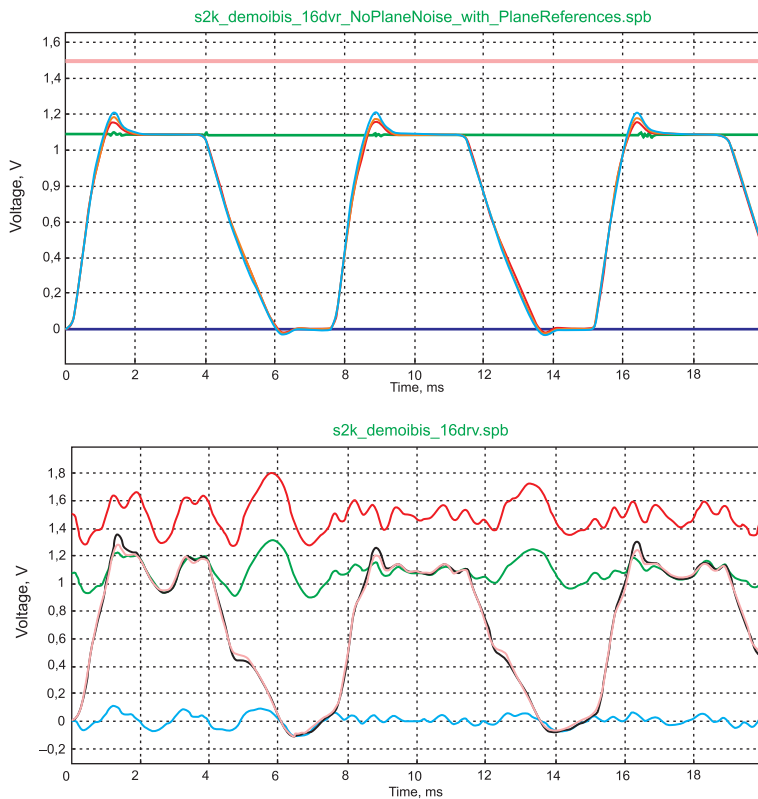


Рис. 2. Форма сигналов при идеальном и неидеальном питании

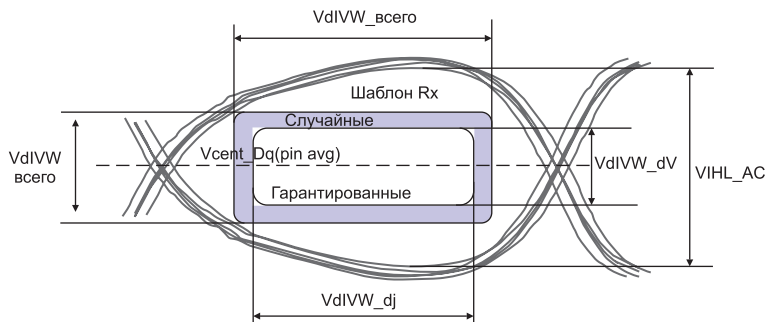


Рис. 3. Маска соответствия для приемника сигнала DQ из стандарта JEDEC для DDR4

топология межсоединений, но и вся система распределения питания (power distribution network – PDN).

Межсоединения включают в себя путь по кристаллу от активного кремниевого передающего буфера к внешней площадке кристалла, затем корпус микросхемы, затем печатная плата, затем, возможно, материнская плата, и затем такие же элементы присутствуют на стороне приемника. Соединения, присутствующие на кристалле микросхемы, моделируются обычно в виде пространственно-распределенной сосредоточенной RC (или RLCK) SPICE-модели. Низкоскоростные корпуса представляются как сосредоточенные RLCK модели, а более высокоскоростные – как модели в виде S-параметров. Печатные платы имеют большие размеры и моделируются с помощью S-параметров. Эти несосредоточенные широкополосные частотные модели предполагают слож-

ную процедуру симуляции даже без учета нелинейности буферов.

Большинство SI-утилит было создано в эпоху, когда влияние шумов одновременного переключения на временные параметры могло быть проигнорировано, и многие утилиты выполняют анализ SI, предполагая идеальные цепи земли и питания. Однако сейчас запас во времени стал настолько малым, что это может привести к неработоспособности образцов устройства, или, еще хуже, к проблемам целостности данных уже на этапе серийного производства и эксплуатации устройств.

Сегодня специалисты по целостности сигналов настаивают на том, чтобы их интерфейсы памяти были проанализированы с учетом эффектов влияния неидеальности земли/питания на сигналы. Это называется анализ «power-aware SI». Моделирование буферов ввода/вывода может теперь выпол-

няться по новому стандарту IBIS 5.0+, где модели входов-выходов IBIS позволяют симуляторам учесть паразитные свойства подсоединений земли и питания, а не только сигналов. С учетом того, что интерфейсы DDR4/LPDDR4 фактически работают на последовательных каналах и с учетом спецификаций DDR4 JEDEC (см. рис. 3), которые задают целевой показатель количества ошибок BER (изначально ориентированный на SerDes-каналы), мы понимаем, что для анализа дизайнов DDR4 должны теперь применяться техники, которые традиционно использовались для анализа мультигигабитных последовательных интерфейсов.

Эта статья освещает вопросы моделирования буферов ввода/вывода, межсоединений и проблемы анализа, связанные с целостностью сигналов с учетом неидеальности питания в современных высокоскоростных интерфейсах памяти, а также – как современные инструменты моделирования могут быть использованы для решения этих проблем.

МОДЕЛИРОВАНИЕ ПОРТОВ ВВОДА/ВЫВОДА С УЧЕТОМ НЕИДЕАЛЬНОСТИ ПИТАНИЙ

Передающие и принимающие буфера являются критически важными IP («ноу-хау») как для производителей микросхем, так и для фаблесс-компаний. Их параметры либо экстрагируются на детальном уровне в САПР СБИС, либо аккуратно создаются вручную разработчиками выходных каскадов. Эти модели зашифровываются и передаются покупателям микросхем под условиями соблюдения конфиденциальности. Каждый конкретный буфер состоит из множества транзисторов. Эти схемы буферов очень неудобно использовать при моделировании из-за крайне медленных процедур SPICE-симуляции, даже при идеальных сосредоточенных нагрузках.

Характеризация шумов SSN для всей шины данных требует обработки показателей сотен, а иногда и тысяч транзисторов, совмещенных с широкополосными частотными моделями. Такие симуляции крайне требовательны к ресурсам и чувствительны к проблемам сходимости SPICE-алгоритмов. Типичное время моделирования может составлять несколько дней на высокопроизводительных вычислительных системах, а необходимая память составляет десятки и даже сотни гигабайт.

К счастью, для моделирования SI на системном уровне вместо транзисторных схем можно использовать макромодели IBIS (см. рис. 4). И время симуляции, и требования к памяти, и проблемы сходимости существенно

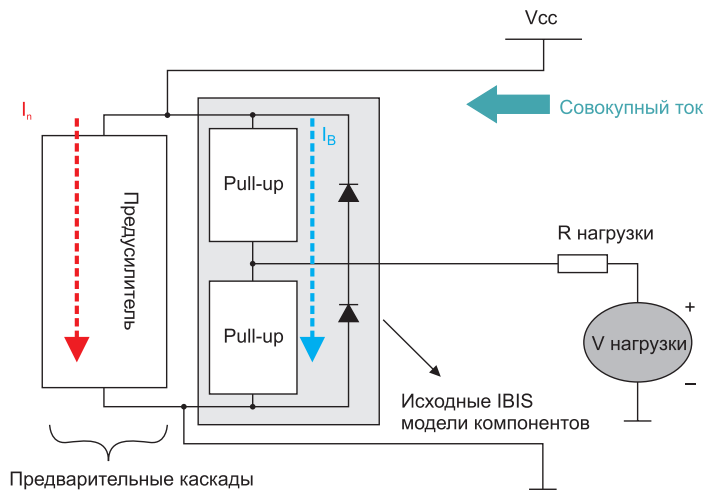


Рис. 4. Схема поведенческой модели входа-выхода IBIS

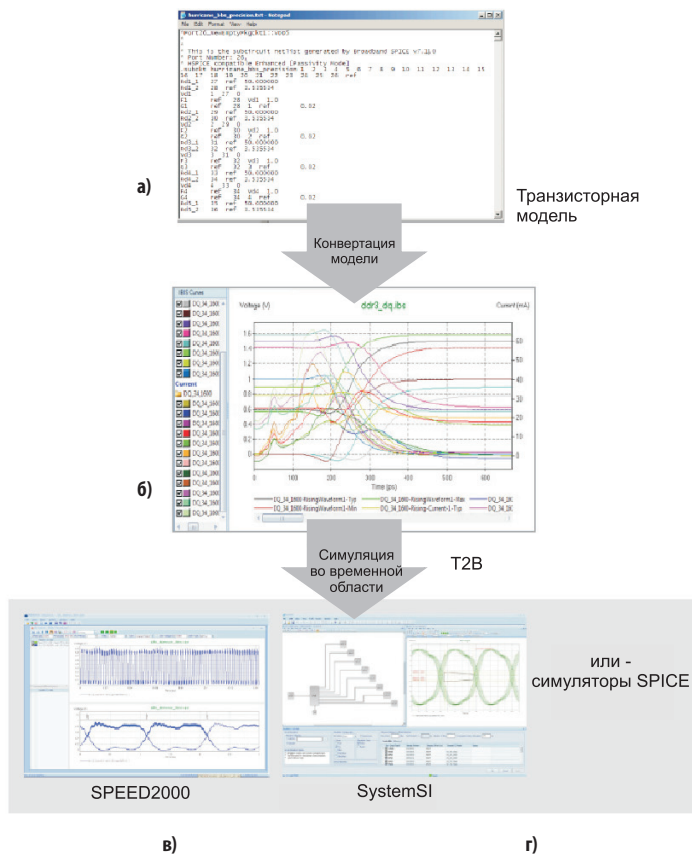


Рис. 5. Cadence Sigrity – конвертация моделей входов-выходов Transistor-to-Behavioral (T2B)
 а) Транзисторная модель; б) Сконвертированная в Sigrity T2B модель; в) Моделирование в программе Sigrity Speed2000; г) Моделирование в программе Sigrity SystemSI

сокращаются. Однако раньше IBIS-модели не учитывали шумов SSN, так как версия IBIS 4.2 (и младше) не содержала инструментов для определения токов потребления выходных буферов.

Версия IBIS 5.0 была улучшена. К спецификации были добавлены обновления BIRD-95 и BIRD-98, которые позволили моделировать токи питания и их флуктуации с учетом шумов напряжений в системе распределения питания. Совместно оба эти обновления обеспе-

чивают точное моделирование токов питания буферов и позволяют использовать модели IBIS 5.0 для полноценной характеристики шумов одновременного переключения сигнальных шин.

Сейчас еще не все пакеты моделирования SI поддерживают модели буферов стандарта IBIS 5.0 для анализа целостности сигналов с учетом питания, но это становится все более распространенным. Уже доступны коммерческие решения для конвер-

тации транзисторных моделей буферов ввода/вывода в поведенческую модель IBIS 5.0 (см. рис. 5).

Эти решения могут использоваться производителями микросхем и фаблесс-компаниями для конвертации их собственных IP-буферов, и даже разработчиками электроники, у которых имеются транзисторные модели, полученные от производителя. Поставщики микросхем уже начинают поставлять модели IBIS 5.0. Если такие модели недоступны с их веб-сайта, они, скорее всего, доступны для внутреннего использования или передачи разработчикам на условиях конфиденциальности. Модели буферов IBIS 5.0 снижают проблему защиты авторских прав на IP-ядра выходных каскадов, которая существует для транзисторных моделей (даже для зашифрованных), и устраняют необходимость раскрывать внутренние параметры каскадов.

Заметим, что вследствие добавления последовательных протоколов в интерфейсы DDR4 и LPDDR4, вышеприведенных решений для моделирования недостаточно. Чтобы учесть изменения, связанные с применением DDR4 и LPDDR4, система моделирования буферов теперь должна перейти от просто аналогового моделирования к алгоритмическому (Algorithmic Model Interface – AMI), так, чтобы могли быть учтены выходные фильтрующие функции контроллера (FFE).

СОЕДИНЕНИЯ И МОДЕЛИРОВАНИЕ СИСТЕМЫ ПИТАНИЙ (PDN)

Одной из ключевых задач в методологии анализа SI с учетом питания можно назвать экстракцию и моделирование межсоединений, например, на печатной плате. Исторически это выполнялось путем экстрагирования моделей линий передачи (SPICE-моделей типа «W») для сигнальных трасс, исходя из предположения, что они страссированы вблизи бесконечного цельного опорного слоя. Сигнальные переходные отверстия часто моделировались как изолированные несвязанные объекты с исключительно собственными паразитными свойствами (то есть предполагался идеальный путь возвратного тока). Такой тип техники очень удобен математически, т. к. он допускает алгоритмы экстракции, очень нетребовательные к вычислительным ресурсам. Однако такой подход полностью игнорирует систему питания, основывая моделирование на не вполне корректном предположении об «идеальном питании» и маскируя в результатах моделирования любые эффекты распределения питания.

Добавление характеристик системы питания в процесс экстракции – это серьезная задача. Она предполагает экстрагирование медных полигонов, из которых обычно состоят слои земли и питания, а также переходных отверстий, проходящих через полигоны, совместно с параметрами взаимосвязи с сигнальными трассами. Эти переходные отверстия, в сущности, действуют как радиальные линии передачи, которые передают возбуждение на параллельные структуры полигонов, искажают питание, подаваемое на микросхемы, и наводят шум на сигналы.

Также должны быть промоделированы фильтрующие конденсаторы, и их модели встроены в результаты экстракции, равно как и модуль управления питанием (VRM), как точка, в которой питание поступает на печатную плату из внешнего мира. Как только задача экстракции расширяется с «сигналов и переходных отверстий» до «сигналов, полигонов и переходных отверстий», техники простого извлечения линий передачи, которые исторически везде использовались, становятся негодны, и проблема требует какого-либо полномасштабного решения.

Традиционные полномасштабные решающие алгоритмы («солверы») опираются на полный набор уравнений Максвелла, без каких бы то ни было предположений, упрощающих вычисления. Полномасштабные алгоритмы, безусловно, могут характеризовать все структуры межсоединений, описанные выше, однако это требует огромных вычислительных ресурсов. С практической точки зрения для типового проекта, использование полномасштабного алгоритма позволит извлечь только несколько сигналов и небольшую часть системы распределения питания. Это может быть достаточно точно для этой небольшой части проекта, но все-таки не позволит промоделировать проект с точки зрения целостности сигналов с учетом питания. Крайне желательно было бы включить в общий процесс моделирования значительное число сигналов параллельной шины, например, 16 или 32, чтобы получить кумулятивные эффекты одновременного переключения выходов.

Также должна быть полностью экстрагирована вся система распределения питания, включая полигоны земли и питания из всей структуры слоев, и соответствующие фильтрующие конденсаторы. Чтобы извлечь и промоделировать эти объекты, должны применяться другие техники.

Сегодня нам доступна технология, которая решает поставленные задачи уникальным способом. Используя патентованную технологию «гибридно-

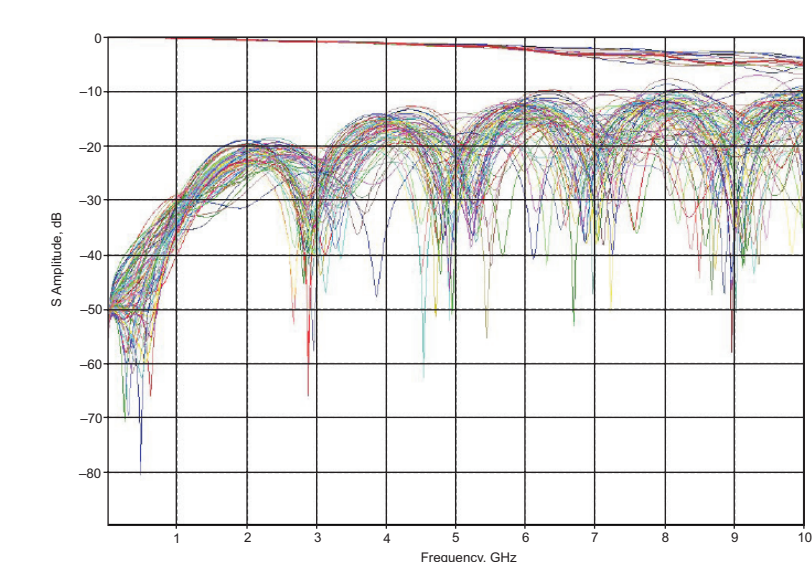


Рис. 6. Экстрагированные из печатной платы S-параметры, программа Sigrity PowerSI

го солвера», топология печатной платы раскладывается на трассы, отверстия, полигоны, и цепи (например, для моделей конденсаторов). Эти элементы отправляются в специально настроенные солверы, оптимизированные под такие структуры, и их результаты интегрируются вместе в обобщенные S-параметры. Такая техника обеспечивает точность, сопоставимую с полномасштабными солверами, и при этом позволяет решить гораздо более масштабные проблемы за разумное время. Эти S-параметры могут быть просимулированы непосредственно во временной области, или при необходимости конвертированы в модели Broadband SPICE, обеспечивая еще более высокую эффективность моделирования во временной области (см. рис. 6).

ТРЕБОВАНИЯ К ПРОГРАММНОЙ СРЕДЕ ДЛЯ СИМУЛЯЦИИ

Задачи, которые стоят перед программной средой, выполняющей симуляцию целостности сигналов с учетом питания, делятся на несколько катего-

рий: моделирование шин, непосредственно моделирование во временной области, и постобработка результатов. Задача моделирования шин появляется, когда доступны модели буферов ввода/вывода, фильтрующих конденсаторов и пассивных межсоединений. В этом случае становится необходимым построить или представить целиком всю топологию кристалл-кристалл для всей шины, которую мы изучаем. В принципе, удобно делать это на системном уровне, в программной среде типа схемного редактора, где шину можно легко визуализировать вместе с микросхемами, корпусами (подложками) микросхем и печатными платами.

Таким «схемно-ориентированным» оболочкам присущи несколько свойств, которые упрощают анализ. Одно из них – это иерархические соединения, в отличие от соединений типа «провод за проводом» в традиционных схемных редакторах. Отображение схем в виде «провод за проводом», где на схеме показана каждая индивидуальная цепь от вывода до вывода, хорошо работает

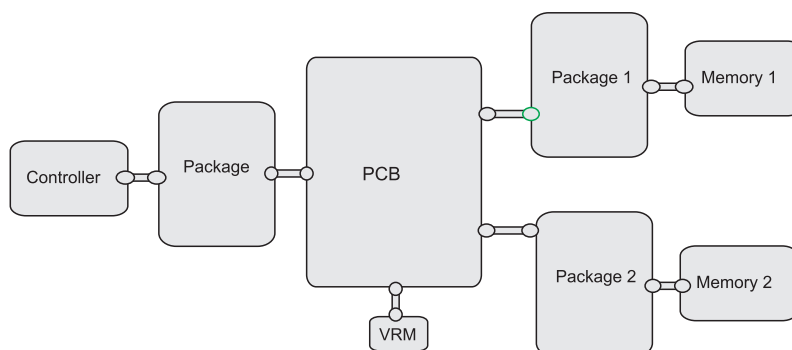


Рис. 7. Топология проекта с DDR-памятью в программе Sigrity SystemSI

для небольших схем. Но если вы собираетесь моделировать большие группы взаимозависимых сигналов, вместе с множественными подсоединениями земель и питаний в каждой модели, такой принцип быстро становится неприменимым. В иерархическом же подходе между моделями отображается только одна связь, в которой уже на следующем, более глубоком уровне содержится вся информация о проводных соединениях. Это позволяет легко конструировать значительно большие по размеру топологии для последующего анализа (см. рис. 7).

Казалось бы, это довольно просто реализовать в программных инструментах-симуляторах, однако тут есть несколько нюансов. Исторически инструменты SI делили проблемы уровня шин на множество кусочков, выполняя симуляцию для одиночных несвязанных сигналов для получения данных по задержкам, затем запуская другие частично связанные подмножества шины для получения некоторых эффектов перекрестных помех, и затем пытались комбинировать результаты (при этом, как правило, игнорируя шумовое одновременное переключения). Такой подход, «разделяй и властвуй», хорошо работал, когда запасы по времени были относительно большими, однако запасы для шин данных в современных DDR-интерфейсах, со скоростями передачи выше 1 Гбит/с, такими как DDR4 на 2,133 Гбит/с, существенно отличаются от первых 333-мегабитных DDR, где эти техники использовались еще вчера.

На самом деле, отражения и межсимвольная интерференция (intersymbol interference – ISI) не происходят независимо от перекрестных помех или шумов одновременного переключения. Эти эффекты влияют друг на друга, они не могут быть четко разделены. Симуляция должна гораздо более точно эмулировать поведение аппаратуры, что приводит к необходимости запускать целиком всю шину в одной большой симуляции. Только в этом случае все зависимости и взаимодействия между этими основными эффектами будут отражены в результатах. Еще одно преимущество такого подхода состоит в том, что измерения параметров установления и удержания на всех сигналах могут быть произведены в симуляторе напрямую, таким же образом, как если бы это делалось в лаборатории с помощью осциллографа.

Поскольку стандарты DDR4 и LPDDR4 специфицируют целевой показатель количества ошибок (bit error rate – BER), традиционная симуляция шин во временном домене не может удовлетворить этим требованиям. Требуется

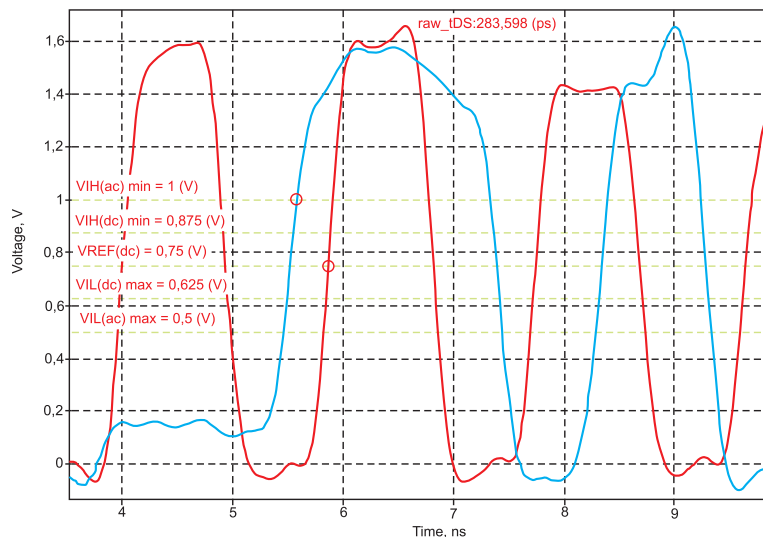


Рис. 8. Измерение времени установления в Sigrity SystemSI

применить решение типа «анализатор канала», чтобы сгенерировать детальную глазковую диаграмму на основании миллионов циклов передачи данных, из которой (с помощью двойной статистической постобработки) могут быть получены U-образные кривые ошибок, как если бы реальный канал передачи данных исследовался с помощью анализатора канала. Кривые ошибок дают ключевое понимание эффективности интерфейса с точки зрения BER (т.е. количества ошибок), а это именно то, что инженер-разработчик реально хочет получить, независимо от того, работает он с параллельными или последовательными интерфейсами.

ПОСТОБРАБОТКА И АНАЛИЗ РЕЗУЛЬТАТОВ

Когда получены результаты симуляции, следующая задача – автоматизировать постобработку временных диаграмм, чтобы получить измерения, сгенерировать отчеты и определить временные параметры. Имеется множество необходимых измерений, которые определены последними спецификациями консорциума JEDEC для интерфейсов DDR-памяти. Чтобы выполнить все требования, измерения должны быть взяты для каждого сигнала и на каждом цикле. Это создает огромные массивы данных, поэтому очень удобным для анализа дизайнера является графическое отображение этих данных, в отличие от генерации таблиц с множеством строк.

Еще один ключевой аспект постобработки – автоматизация корректировки (derating) времени установления и удержания (setup and hold time) (см. рис. 8)

По спецификациям JEDEC реальная скорость нарастания сигнала определяет то, насколько большее или меньшее время установления и удержания

требуется для памяти (по отношению к базовым требованиям ко времени установления и удержания, которые даны для базовой скорости нарастания 1 В/нс). Это означает для случая шины данных, что скорости нарастания сигналов данных и стробов должны быть автоматически измерены на каждом цикле. Тогда, исходя из тех и других данных, по таблице можно определить дельту, на которую надо увеличить время установления и удержания для этого цикла, и может быть определен окончательный запас для времени установления и удержания именно для этого цикла. Эту операцию надо повторить для каждого цикла для всех сигналов. Опять же, объем данных растет очень быстро, поэтому критически важна автоматизация (см. таблицу).

Чтобы управлять этим огромным количеством данных и проанализировать временные параметры, система автоматической генерации отчетов должна выполнить постобработку данных и выдать обобщенные результаты, чтобы показать критические места, такие как:

- Положительный запас для времени установления и удержания для шин адреса/команд и управления, и для цикла «записи» данных на микросхеме памяти;
- Требования по задержке для операций «чтение», выполняемые на контроллере;
- Требования по задержке «строб-отклока».

В случае симуляции DDR4 и LPDDR4 из результатов анализа канала генерируется дополнительная информация, чтобы отобразить маску глазковой диаграммы и ее запас, U-образные кривые ошибок, и коэффициент ошибок BER (см. рис. 9).

Таблица. **Корректировки задержек (Derating table) для DDR2**

Delta_tDS(ps) – AC250 tDS Derating Values for DDR-400/533										
		DQS Single-Ended Slew Rate (В/нс)								
		2,0 В/нс	1,5 В/нс	1 В/нс	0,9 В/нс	0,8 В/нс	0,7 В/нс	0,6 В/нс	0,5 В/нс	0,4 В/нс
		Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS	Delta_tDS
DQ Slew Rate (В/нс)	2,0	188	167	125	–	–	–	–	–	–
	1,5	146	125	83	81	–	–	–	–	–
	2,0	63	42	0	-2	-7	–	–	–	–
	0,9	–	31	-11	-13	-18	-29	–	–	–
	0,8	–	–	-25	-27	-32	-43	-60	–	–
	0,7	–	–	–	-45	-50	-61	-78	-108	–
	0,6	–	–	–	–	-74	-85	-102	-132	-183
	0,5	–	–	–	–	–	-128	-145	-175	-226
0,4	–	–	–	–	–	–	-210	-240	-291	

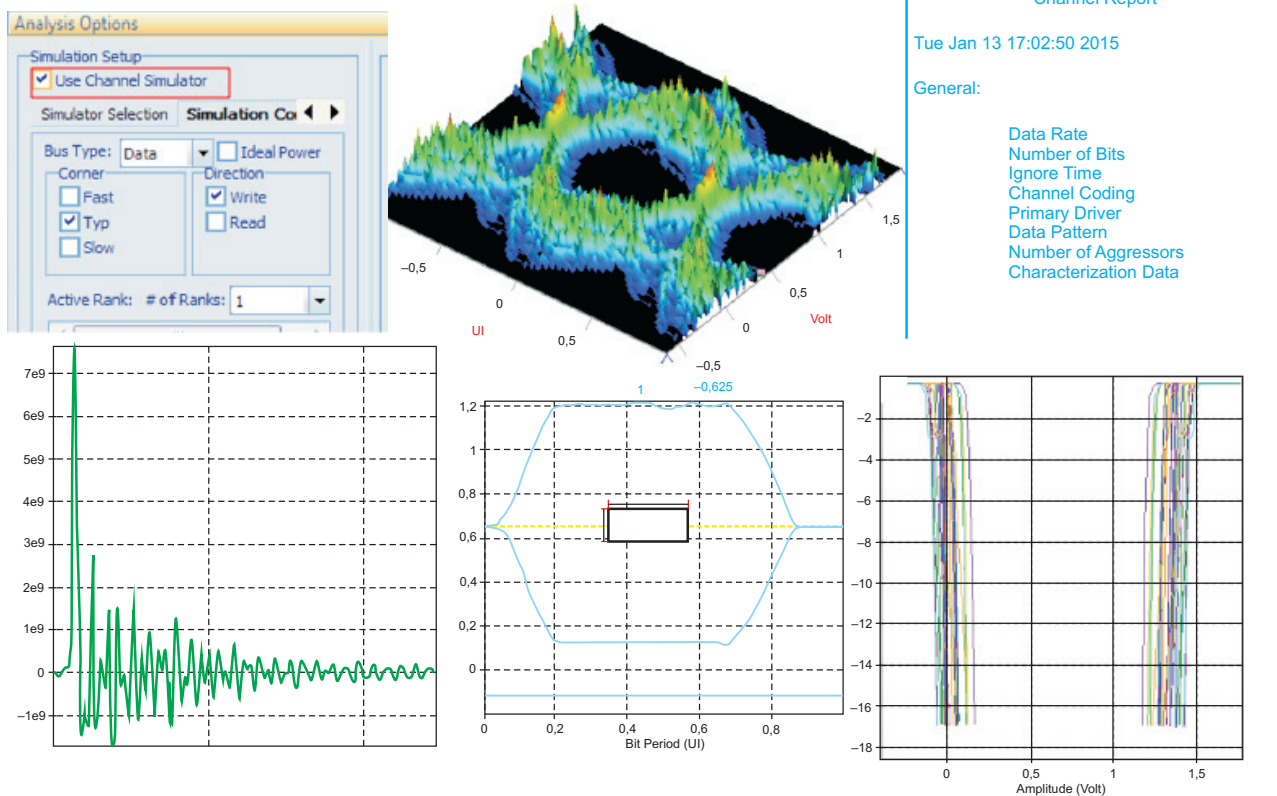


Рис. 9. Анализ целостности сигналов DDR с учетом питаний адаптирует технику симуляции SerDes

Выводы

Переход от предположения об идеальном питании к методологии анализа целостности сигналов с учетом питания требует обновления ваших методик моделирования и симуляции, и это необходимо для адекватной оценки шумов одновременного переключения в современных системах памяти.

Ключевой фактор успеха такого обновления – это возможность моделирования входов/выходов микросхем с учетом реального питания, позволяющая моделировать шумы одновременного переключения за минуты на ноутбуке, вместо многих дней на больших серверах. К счастью,

с появлением моделей входов-выходов IBIS 5.0 существует стандартный путь, которым это можно сделать, и доступны инструменты, которые автоматизируют генерацию таких моделей из транзисторных нетлистов буферов входов/выходов. Запросы со стороны системных инженеров будут способствовать все более широкой доступности этих моделей входов/выходов от поставщиков компонентов.

Инструменты для эффективного извлечения характеристик топологии межсоединений и системы питания уже на протяжении многих лет присутствуют на рынке, и с момента появления проек-

тов на основе DDR3 и DDR4 становятся все более популярными. Это программное обеспечение также нуждается в модернизации, для работы с более сложными топологиями шин, комплексными симуляциями, и существенно автоматизированной постобработкой для анализа современных сложных интерфейсов.

Обладая полноценными библиотеками моделей, продвинутыми программными инструментами, и инженерной экспертизой, сегодняшние инженеры-разработчики имеют все возможности для тщательного анализа проблем, связанных с современными шинами и скоростями передачи данных. ➡